

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

(11) 공개번호 특2000-0044929

H01L 21/334

(43) 공개일자 2000년07월15일

(21) 출원번호 10-1998-0061432

(22) 출원일자 1998년12월30일

(71) 출원인 현대전자산업 주식회사 김영한

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 이정호

서울특별시 광진구 군자동 159-9

(74) 대리인 신영무, 최승민

심사청구: 있음

(54) 반도체 소자의 접합부 형성 방법

요약

본 발명은 반도체 소자의 접합부 형성 방법에 관한 것으로, 반도체 소자의 고집적화에 따라 선택적 에피(selective epi) 기술을 이용한 엘리베이트드 소오스/드레인 접합부(elevated source/drain junction)를 형성함에 있어서, 후속 콘택 형성 시에 부담이 되는 셀 지역에만 엘리베이트드 소오스/드레인 접합부를 적층하고, 주변회로 지역에서는 질화막을 캡핑(capping)한 상태에서 소오스/드레인 이온 주입 공정 및 열처리 공정을 수행하여 질화막으로 인해 이온 주입시 우려되는 금속 오염(metal contamination)을 방지할 수 있을 뿐만 아니라, 열처리가 질화막이 캡핑된 상태에서 진행되므로 반도체 기판이 질화막 하에서 높은 압축(compressive) 응력에 놓여지기 때문에 발생하는 도펀트의 확산 억제 효과를 통해 주변회로 지역에 상대적으로 낮은 접합 깊이를 갖게 하는 기술로서, 셀 지역은 도프트(doped) 엘리베이트드 소오스/드레인 접합부의 적용으로 인해 후속 콘택 형성시 게이트의 평탄화로 콘택 마진을 얻을 수 있음과 동시에 콘택 저항을 감소시킬 수 있게되고, 주변회로 지역은 소오스/드레인 이온 주입에 의한 금속 오염과 도펀트 확산 방지를 통해 양호한 접합 물성을 확보할 수 있는 반도체 소자의 접합부 형성 방법에 관하여 기술된다.

대표도

도2

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 반도체 소자의 접합부 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 접합부 형성 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- |                 |                            |
|-----------------|----------------------------|
| 11, 21: 반도체 기판  | 12, 22: 소자 분리막             |
| 13, 23: 게이트 산화막 | 14, 24: 게이트 전극             |
| 15, 25: 마스크 절연막 | 16, 26: 게이트 스페이서           |
| 17, 27: 에피 실리콘층 | 18, 28: 엘리베이트드 소오스/드레인 접합부 |
| 38: 소오스/드레인 접합부 | 41: 질화막                    |
| 42: 층간 절연막      |                            |

C: 셀 지역

P: 주변회로 지역

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 접합부 형성 방법에 관한 것으로, 특히 반도체 소자의 고집적화에 따라 선택적 에피(selective epi) 기술을 이용한 엘리베이트드 소오스/드레인 접합부(elevated source/drain junction)를 형성함에 있어, 셀 지역에만 엘리베이트드 소오스/드레인 접합부를 적용하고, 주변회로 지역에서는 질화막을 캡핑(capping)한 상태에서 소오스/드레인 이온 주입 공정 및 열처리 공정을 수행하여, 양 지역 모두에 소자 접합 특성을 향상시켜 반도체 소자의 트랜지스터 특성을 향상시킬 수 있는 반도체 소자의 접합부 형성 방법에 관한 것이다.

일반적으로, 반도체 소자의 고집적화에 따라 선택적 에피 기술을 이용하여 엘리베이트드 소오스/드레인 접합부를 형성한다.

도 1a 내지 도 1d는 종래 반도체 소자의 접합부 형성 방법을 설명하기 위한 소자의 단면도로서, 도 1a 내지 도 1c를 참조하여 설명하는 접합부 형성 방법은 셀 지역 및 주변회로 지역 모두에 적용되는 것이며, 도 1d는 주변회로 지역에 형성된 접합부를 확대 도시한 것이다.

도 1a를 참조하면, 반도체 기판(11)상에 소자 분리막(12)을 형성하여 액티브 영역을 정의하고, 게이트 산화막(13), 게이트 전극용 도전층(14) 및 마스크 절연막(15)을 순차적으로 형성한 후, 게이트 마스크를 사용한 식각 공정으로 액티브 영역의 반도체 기판(11)상에 게이트 전극(14)을 형성한다.

도 1b를 참조하면, 게이트 산화막(13), 게이트 전극(14) 및 마스크 절연막(15)이 적용된 패턴의 측벽에 게이트 스페이서(16)를 형성한 후, 에피 실리콘층(17)을 화학 기상 증착(CVD)법으로 선택적으로 형성한다.

도 1c를 참조하면, 소오스/드레인 이온 주입 공정을 실시한 후, 이온 주입된 도펀트를 활성화시키기 위한 열처리 공정을 실시하여 도펀트들이 반도체 기판(11) 내로 약간 확산하여 엘리베이트드 소오스/드레인 접합부(18)가 형성된다.

상기한 기존의 선택적 에피(selective epi) 기술을 이용한 엘리베이트드 소오스/드레인 접합부(elevated source/drain junction) 형성 공정은 도핑 되지 않은 실리콘층(17)을 에피로 성장시킨 후, 접합부(18) 위로 활용하기 위해 후속 이온 주입의 에너지와 주입 이온의 양을 조절함에 의해 반도체 접합을 형성시키나, 셀 지역에 비해 주변회로 지역은 상대적으로 높은 농도의 소오스/드레인 농도를 요구하기 때문에 상대적으로 가혹한 이온 주입 조건을 갖게된다. 이러한 조건하에서는 주변회로 지역이 상대적으로 이온 주입시 장치에서 금속 오염(metal contamination)이 취약해 질 뿐만 아니라, 이미 잘 알려진 바와 같이 선택적 에피 형성시 반드시 나타나게 되는 패시트(facet)로 인해 이온 주입 후 접합부(18) 형성의 모양이, 도 2d에 도시된 바와 같이, 채널이 형성되는 부위 쪽으로 더욱 깊게 형성되는 현상이 악화되어 전반적으로 주변회로 지역의 트랜지스터 특성을 저해하는 요인으로 잘 알려져 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 반도체 소자의 고집적화에 따라 선택적 에피(selective epi) 기술을 이용한 엘리베이트드 소오스/드레인 접합부(elevated source/drain junction)를 형성함에 있어, 셀 지역에만 엘리베이트드 소오스/드레인 접합부를 적용하고, 주변회로 지역에서는 질화막을 캡핑(capping)한 상태에서 소오스/드레인 이온 주입 공정 및 열처리 공정을 수행하여, 금속 오염(metal contamination)을 방지하고, 높은 압축(compressive) 응력에 의해 억제되는 도펀트의 확산 저하를 이용하여 접합 깊이를 감소시켜, 양 지역 모두에 소자 접합 특성을 향상시킬 수 있는 반도체 소자의 접합부 형성 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 반도체 소자의 접합부 형성 방법은 셀 지역 및 주변회로 지역 각각의 반도체 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 측벽에 게이트 스페이서를 형성한 후, 상기 주변회로 지역에만 질화막을 형성하는 단계; 도핑된 에피 실리콘층을 상기 셀 지역의 반도체 기판 상에 선택적으로 형성하는 단계; 상기 질화막으로 덮여진 주변회로 지역에 소오스/드레인 이온 주입 공정을 실시한 후, 이온 주입된 도펀트를 활성화시키기 위한 열처리 공정을 실시하고, 이로 인하여 상기 셀 지역에 엘리베이트드 소오스/드레인 접합부가 형성되고, 상기 주변회로 지역에 소오스/드레인 접합부가 형성되는 단계; 및 상기 주변회로 지역에 남아있는 질화막(41)을 제거한 후, 중간 절연막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

## 발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 집합부 형성 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 셀 지역(C)과 주변회로 지역(P)으로 나누어지는 반도체 기판(21)상에 소자 분리막(22)을 형성하여 액티브 영역을 정의하고, 게이트 산화막(23), 게이트 전극층 도전층(24) 및 마스크 절연막(25)을 순차적으로 형성한 후, 게이트 마스크를 사용한 식각 공정으로 셀 지역(C) 및 주변회로 지역(P) 각각의 액티브 영역의 반도체 기판(21)상에 게이트 전극(24)을 형성한다.

도 2b를 참조하면, 게이트 산화막(23), 게이트 전극(24) 및 마스크 절연막(25)이 적층된 패턴의 측벽에 게이트 스페이서(26)를 형성한 후, 전체구조상에 질화막(41)을 형성한 후, 건식 식각으로 셀 지역(C)의 질화막(41)을 제거하여 주변회로 지역(P)에만 질화막(41)을 남긴다.

상기에서, 게이트 스페이서(26)는 주변회로 지역(P)에 남아있는 질화막(41)을 제거할 시에 영향을 받지 않게 하기 위하여 질화막(41)에 대한 식각 선택비가 높은 산화막으로 형성되며, 그 두께는 300 ~ 800Å의 범위이다. 질화막(41)은 저압 화학기상증착(LPCVD)법으로 100 ~ 300Å의 두께로 증착되어 형성된다.

도 2c를 참조하면, 도핑된 에피 실리콘층(27)을 셀 지역(C)의 반도체 기판(21)상에 형성한다.

상기에서, 도핑된 에피 실리콘층(27)은 500 ~ 800Å의 두께로 성장시켜 형성된다. 도핑된 에피 실리콘층(27)의 성장 전에 반도체 기판(21)의 표면에 생성되는 산화막 등을 제거하기 위한 세정 공정을 실시한다. 반도체 기판(21)의 세정은 RCA 세정, UV 오존 세정, HF 디핑 또는 이들의 혼합으로 행해질 수 있다. 도핑된 에피 실리콘층(27)은 저압 화학기상증착법이나 고진공 화학기상증착(UHVCVD)법으로 반도체 기판(21)이 노출된 부위에만 선택적으로 형성되며, 도핑은 포스핀(phosphine)으로 약 50 ~ 300scm의 양을 주입한다.

저압 화학기상증착법의 경우에는 에피 실리콘층(27)을 형성하기 전에 약 1 ~ 5분 동안 800 ~ 900°C의 하이드로겐 베이킹(hydrogen bake)을 실시한다. 이는 반도체 기판(21)의 표면에 산화막이 형성되는 것을 방지하기 위한 것으로 장비 내에서 인-시튜(in-situ)로 이루어져야 한다. 에피 실리콘층(27)의 증착 조건은 다음과 같다. 증착 가스는 DCS와 HCL의 혼합 가스를 사용한다. 증착시 DCS는 30 ~ 300scm을, HCL은 30 ~ 200scm을 흘려준다. 증착 압력은 10 ~ 50torr정도로 하고, 증착 온도는 750 ~ 950°C정도로 한다. 이때 증착시간은 3 ~ 10분 정도이다.

고진공 화학기상증착법의 경우, 증착가스는 사일렌(silane)이나 디사일렌(disilane)을 사용하며, 증착 압력은 1torr 미만이며, 증착 온도는 600 ~ 700°C정도이다.

도 2d를 참조하면, 질화막(41)으로 덮여진 주변회로 지역(P)에 소오스/드레인 이온 주입 공정을 실시한 후, 이온 주입된 도펀트를 활성화시키기 위한 열처리 공정을 실시하고, 이로 인하여 도펀트들이 반도체 기판(21) 내로 약간 확산하여 셀 지역(C)에 엘리베이트드 소오스/드레인 집합부(28)가 형성되고, 주변회로 지역(P)에는 일방적인 소오스/드레인 집합부(38)가 형성된다.

상기에서, 소오스/드레인 이온 주입 조건은 P<sup>+</sup> 소오스/드레인인 경우 도펀트로 "B" 나 BF<sub>2</sub><sup>+</sup>를 사용하는데, "B" 이온의 경우 5 ~ 50keV로, BF<sub>2</sub><sup>+</sup> 이온의 경우 10 ~ 100keV로 이온 주입하며, 주입량은 1×10<sup>15</sup> ~ 1×10<sup>17</sup> ions/cm<sup>2</sup>로 한다. N<sup>+</sup> 소오스/드레인인 경우 도펀트로 As<sup>+</sup> 나 P<sup>+</sup>를 사용하는데, As<sup>+</sup> 이온의 경우 10 ~ 100keV로, P<sup>+</sup> 이온의 경우 10 ~ 70keV로 이온 주입하며, 주입량은 1×10<sup>15</sup> ~ 1×10<sup>17</sup> ions/cm<sup>2</sup>로 한다. 도펀트를 활성화하기 위한 열처리는 급속 열처리(RTP)로 하며, 이때 800 ~ 1000°C의 온도에서 30초 미만으로 한다.

도 2e를 참조하면, 주변회로 지역(P)에 남아있는 질화막(41)을 제거한 후, 전체구조상에 층간 절연막(42)을 형성한다.

상기에서, 질화막(41)은 뜨거운(hot) H<sub>2</sub>PO<sub>4</sub>에서 습식 식각법으로 제거한다.

상기한 본 발명은 반도체 소자의 고집적화에 따라 선택적 에피 기술을 이용한 엘리베이트드 소오스/드레인 집합부를 형성함에 있어서, 후속 콘택 형성시에 부딪히 되는 셀 지역에만 엘리베이트드 소오스/드레인 집합부를 적용하고, 주변회로 지역에서는 질화막을 캡핑한 상태에서 소오스/드레인 이온 주입 공정 및 열처리 공정을 수행하여 질화막으로 인해 이온 주입이 우러되는 급속 오염을 방지할 수 있을 뿐만 아니라, 열처리가 질화막이 캡핑된 상태에서 진행되므로 반도체 기판이 질화막 하에서 높은 압력 응력에 놓여 지기 때문에 발생하는 도펀트의 확산 억제 효과를 통해 주변회로 지역에 상대적으로 낮은 집합 깊이를 갖

게 하는 기술이다.

#### 발명의 효과

상술한 바와 같이, 본 발명은 반도체 소자의 고집적화에 따라 선택적 에피(selective epi) 기술을 이용한 엘리베이트드 소오스/드레인 접합부(elevated source/drain junction)를 형성함에 있어, 셀 지역에만 도프트(doped) 엘리베이트드 소오스/드레인 접합부의 적용으로 인해 후속 콘택 형성시 게이트의 평탄화로 콘택 마진을 얻을 수 있음과 동시에 콘택 저항을 감소시킬 수 있고, 주변회로 지역에서는 질화막을 캡핑(capping)한 상태에서 소오스/드레인 이온 주입 공정 및 열처리 공정을 수행하여, 금속 오염(metal contamination)을 방지하고, 높은 압축(compressive) 응력에 의해 억제되는 도펀트의 확산 저항을 이용하여 접합 깊이를 감소시킴으로, 양 지역 모두에 트랜지스터의 접합 특성을 향상시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1

셀 지역 및 주변회로 지역 각각의 반도체 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극의 측벽에 게이트 스페이서를 형성한 후, 상기 주변회로 지역에만 질화막을 형성하는 단계;

도핑된 에피 실리콘층을 상기 셀 지역의 반도체 기판 상에 선택적으로 형성하는 단계;

상기 질화막으로 덮여진 주변회로 지역에 소오스/드레인 이온 주입 공정을 실시한 후, 이온 주입된 도펀트를 활성화시키기 위한 열처리 공정을 실시하고, 이로 인하여 상기 셀 지역에 엘리베이트드 소오스/드레인 접합부가 형성되고, 상기 주변회로 지역에 소오스/드레인 접합부가 형성되는 단계; 및

상기 주변회로 지역에 남아있는 질화막(41)을 제거한 후, 증간 절연막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 접합부 형성 방법.

##### 청구항 2

제 1 항에 있어서,

상기 게이트 스페이서는 300 ~ 800Å의 두께의 산화막으로 형성되는 것을 특징으로 하는 반도체 소자의 접합부 형성 방법.

##### 청구항 3

제 1 항에 있어서,

상기 질화막은 저압 화학기상증착법으로 100 ~ 300Å의 두께로 증착되어 형성되는 것을 특징으로 하는 반도체 소자의 접합부 형성 방법.

##### 청구항 4

제 1 항에 있어서,

상기 도핑된 에피 실리콘층은 저압 화학기상증착법이나 고진공 화학기상증착법으로 상기 반도체 기판이 노출된 부위에만 선택적으로 500 ~ 800Å의 두께로 성장시켜 형성되며, 도핑은 포스핀으로 약 50 ~ 300sccm의 양을 주입하는 것을 특징으로 하는 반도체 소자의 접합부 형성 방법.

##### 청구항 5

제 1 항에 있어서,

상기 도핑된 에피 실리콘층의 성장 전에 RCA 세정, UV 오존 세정, HF 디핑, 이들의 혼합으로 상기 반도체 기판을 세정하는 단계를 추가하는 것을 포함하는 것을 특징으로 하는 반도체 소자의 접합부 형성 방법.

##### 청구항 6

제 1 항에 있어서,

상기 도핑된 에피 실리콘층은 저압 화학기상증착법으로 형성할 경우, 1 ~ 5분 동안 800 ~ 900°C의 온도에서 하이드로겐 베이크를 실시한 후, 30 ~ 300sccm DCS와 30 ~ 200sccm HCL의 혼합 가스와 10 ~ 50torr의 압력과 750 ~ 950°C의 온도에서 3 ~ 10분 증착 하여 형성되는 것을 특징으로 하는 반도체 소자

의 집합부 형성 방법.

#### 청구항 7

제 1 항에 있어서,

상기 도핑된 에피 실리콘층은 고진공 화학기상증착법으로 형성할 경우, 증착가스는 사일렌이나 디사일렌을 사용하며, 증착 압력은 1torr 미만으로 하며, 증착 온도는 600 ~ 700°C로 하여 형성되는 것을 특징으로 하는 반도체 소자의 집합부 형성 방법.

#### 청구항 8

제 1 항에 있어서,

상기 소오스/드레인 이온 주입 조건은, P' 소오스/드레인인 경우 도펀트로  $^{11}\text{B}^+$  나  $\text{BF}_2^+$ 를 사용하되,  $^{11}\text{B}^+$  이온의 경우 5 ~ 50keV로,  $\text{BF}_2^+$  이온의 경우 10 ~ 100keV로 이온 주입하며, 주입량은  $1 \times 10^{15} \sim 1 \times 10^{17}$  ions/cm<sup>2</sup> 로 하고, N' 소오스/드레인인 경우 도펀트로  $\text{As}^+$  나 P'를 사용하되,  $\text{As}^+$  이온의 경우 10 ~ 100keV로, P' 이온의 경우 10 ~ 70keV로 이온 주입하며, 주입량은  $1 \times 10^{15} \sim 1 \times 10^{17}$  ions/cm<sup>2</sup> 로 하는 것을 특징으로 하는 반도체 소자의 집합부 형성 방법.

#### 청구항 9

제 1 항에 있어서,

상기 열처리하는 800 ~ 1000°C의 온도에서 30초 미만으로 급속 열처리하는 것을 특징으로 하는 반도체 소자의 집합부 형성 방법.

#### 청구항 10

제 1 항에 있어서,

상기 질화막은 뜨거운  $\text{H}_3\text{PO}_4$ 에서 습식 식각법으로 제거하는 것을 특징으로 하는 반도체 소자의 집합부 형성 방법.

도면

도면1

